

This Page Is Inserted by IFW Operations
and is not a part of the Official Record

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

IMAGES ARE BEST AVAILABLE COPY.

**As rescanning documents *will not* correct images,
please do not report the images to the
Image Problem Mailbox.**

DIALOG(R)File 345:Inpadoc/Fam.& Legal Stat

(c) 2002 EPO. All rts. reserv.

10163788

Basic Patent (No,Kind,Date): JP 3227525 A2 911008 <No. of Patents: 001>

MANUFACTURE OF THIN FILM TRANSISTOR (English)

Patent Assignee: SONY CORP

Author (Inventor): TAJIMA KAZUHIRO; NOGUCHI TAKASHI

IPC: *H01L-021/336; H01L-029/784

Derwent WPI Acc No: C 91-337081

JAPIO Reference No: 160004E000102

Language of Document: Japanese

Patent Family:

Patent No	Kind	Date	Applic No	Kind	Date
JP 3227525	A2	911008	JP 9023079	A	900201 (BASIC)

Priority Data (No,Kind,Date):

JP 9023079 A 900201

DIALOG(R)File 347:JAPIO

(c) 2002 JPO & JAPIO. All rts. reserv.

03564625 **Image available**

MANUFACTURE OF THIN FILM TRANSISTOR

PUB. NO.: 03-227525 [JP 3227525 A]

PUBLISHED: October 08, 1991 (19911008)

INVENTOR(s): TAJIMA KAZUHIRO

 NOGUCHI TAKASHI

APPLICANT(s): SONY CORP [000218] (A Japanese Company or Corporation), JP
 (Japan)

APPL. NO.: 02-023079 [JP 9023079]

FILED: February 01, 1990 (19900201)

INTL CLASS: [5] H01L-021/336; H01L-029/784

JAPIO CLASS: 42.2 (ELECTRONICS -- Solid State Components)

JAPIO KEYWORD: R002 (LASERS)

JOURNAL: Section: E, Section No. 1151, Vol. 16, No. 4, Pg. 102,
 January 08, 1992 (19920108)

ABSTRACT

PURPOSE: To realize an LDD structure in simple steps by implanting impurities to a thin semiconductor film with a gate electrode and a spacer of its sidewall as masks, and then heat treating it.

CONSTITUTION: A gate electrode 15 is formed on a thin semiconductor film 13 through a gate insulating film 14, a spacer 16 is formed on the sidewall of the electrode 15, impurities 17 are implanted into the film 13 with the electrode 15 and the spacer 16 as masks, and the film 13 is heat treated. In this case, the impurities 17 are not implanted by masking the gate 15 only, but the impurities 17 are diffused under the spacer 15 by heat treating the film 13, thereby realizing an LDD structure. The width and heat treating conditions of the spacer 16 are selected to suppress diffusion of the impurities 17 directly under the electrode 15. Thus, the structure may be realized in simple steps.

⑩ 日本国特許庁(JP)

⑪ 特許出願公開

⑫ 公開特許公報(A)

平3-227525

⑬ Int. Cl.⁹

識別記号

庁内整理番号

⑭ 公開 平成3年(1991)10月8日

H 01 L 21/336
29/784

9056-5F H 01 L 29/78 3 1 1 Y

審査請求 未請求 請求項の数 1 (全6頁)

⑮ 発明の名称 薄膜トランジスタの製造方法

⑯ 特 願 平2-23079

⑰ 出 願 平2(1990)2月1日

⑱ 発 明 者 田 島 和 浩 東京都品川区北品川6丁目7番35号 ソニー株式会社内
⑱ 発 明 者 野 口 隆 東京都品川区北品川6丁目7番35号 ソニー株式会社内
⑲ 出 願 人 ソニー株式会社 東京都品川区北品川6丁目7番35号
⑳ 代 理 人 弁理士 土 屋 勝

明 細 書

1. 発明の名称

薄膜トランジスタの製造方法

2. 特許請求の範囲

半導体薄膜上にゲート絶縁膜を介してゲート電極を形成し、

前記ゲート電極の側壁にスペーサを形成し、

前記ゲート電極と前記スペーサとをマスクにして前記半導体薄膜内へ不純物を導入し、

前記半導体薄膜を熱処理する薄膜トランジスタの製造方法。

3. 発明の詳細な説明

(産業上の利用分野)

本発明は、LDD構造を有する薄膜トランジスタの製造方法に関するものである。

(発明の概要)

本発明は、上記の様な薄膜トランジスタの製造方法において、半導体薄膜への不純物の導入をゲート電極とその側壁のスペーサとをマスクにして行い、その後熱処理を行うことによって、簡単な工程でLDD構造を実現することができ、しかも短チャネルトランジスタも製造することができるようにしたものである。

(従来の技術)

薄膜トランジスタは、高集積化されたSRAMの負荷素子等として有望視されている。ところが、薄膜トランジスタの活性層、つまりソース・ドレイン領域及びチャネル形成領域が形成される層は、一般に、多結晶半導体薄膜によって形成されている。

このため、薄膜トランジスタのオフ時のリーク電流を低減させることが重要になっている。そして、そのための一つの方法として、薄膜トランジスタをLDD構造にして、ドレイン領域の電界を緩和することが有効であるとされている。

この様なLDD構造を実現するために、従来は、まずゲート電極のみをマスクにして半導体薄膜内へ不純物を導入し、更にゲート電極の側壁にスペーサを形成し、このスペーサとゲート電極とをマスクにして再び半導体薄膜内へ不純物を導入していた。

(発明が解決しようとする課題)

しかし、LDD構造を実現するためには、上述の説明からも明らかな様に、不純物の導入を2回行う必要があり、その分だけ製造工程が複雑である。

しかも、スペーサ下へも不純物を導入した状態で、ソース・ドレイン領域の活性化等のための熱処理を行うと、ゲート電極の直下へも不純物が拡散してしまう。従って、上述の様な従来の方法では、短チャネルトランジスタを製造することが難しい。

(課題を解決するための手段)

第5図を参照しながら説明する。

第1図及び第2図は、pチャネル薄膜トランジスタの製造に適用した第1実施例を示している。

この第1実施例では、第1A図に示す様に、石英等から成る基板11上に8000Å程度の厚さのSiO₂膜12と、400Åかまたは800Å程度の厚さの非晶質Si薄膜13とを順次に形成する。

そして更に、ゲート絶縁膜であるSiO₂膜14と、ゲート電極である多結晶Si膜15と、ゲート電極の側壁のスペーサであるSiO₂膜16とを、従来公知の方法によって第1A図に示す形状に形成する。なお、SiO₂膜16の基底部での幅は、0.15μm程度にする。

次に、第1B図に示す様に、多結晶Si膜15とSiO₂膜16とをマスクにして非晶質Si薄膜13内へ不純物17をイオン注入することによって、不純物注入領域13aを形成する。不純物17としては、B⁺、BF₃⁺、B⁺+Si⁺等を用いる。

次に、非晶質Si薄膜13で固相結晶成長を行わせるための600℃程度のアニールを行って、第

本発明による薄膜トランジスタの製造方法は、半導体薄膜13上にゲート絶縁膜14を介してゲート電極15を形成し、前記ゲート電極15の側壁にスペーサ16を形成し、前記ゲート電極15と前記スペーサ16とをマスクにして前記半導体薄膜13内へ不純物17を導入し、前記半導体薄膜13を熱処理する様にしている。

(作用)

本発明による薄膜トランジスタの製造方法では、ゲート電極15のみをマスクにした不純物17の導入を行っていないが、半導体薄膜13に対する熱処理によってスペーサ16下へ不純物17を拡散させて、LDD構造を実現することができる。

しかも、スペーサ16の幅や熱処理条件を選定することによって、ゲート電極15の直下への不純物17の拡散を抑制することができる。

(実施例)

以下、本発明の第1～第4実施例を、第1図～

1C図に示す様に、非晶質Si薄膜13を多結晶Si薄膜18にする。

そして更に、多結晶Si薄膜18の結晶性の向上とイオン注入した不純物17の活性化とのための1000℃、10秒間の短時間アニールをN₂雰囲気中で行って、ソース・ドレイン領域18aを形成する。

ところで、第2図は、高濃度のB⁺注入領域に対して10秒間の短時間アニールを行った場合の、アニール温度と拡散長との関係を示している。この第2図から、アニール条件を選定することによって拡散長を制御可能であることがわかる。

従って、上述の様な1000℃、10秒間の短時間アニールによって、第1C図に示す様に、SiO₂膜16の基底部の幅と同じ0.15μmだけ不純物17が拡散する。この結果、SiO₂膜16下に低濃度のソース・ドレイン領域18aが自動的に形成され、LDD構造が完成する。

これに対して、SiO₂膜16下にも予め不純物17をイオン注入しておくと、ゲート電極である多

結晶Si膜15の直下へも不純物17が拡散して、短チャネルトランジスタを製造することができない。

第3図は、第2実施例を示している。この第2実施例では、第3A図に示す様に、 SiO_2 膜12上に形成した非晶質Si薄膜（図示せず）を多結晶Si薄膜18にし、更にこの多結晶Si薄膜18の結晶性を向上させるために、エキシマレーザ光21の照射による1200℃程度のアニールを行う。

その後、第3B図に示す様に、不純物（図示せず）を注入してソース・ドレイン領域18aを形成するために、ランプ光22の5秒程度の照射による1000℃程度のアニールを行う。ランプ光22としては、ハロゲンランプ光やアークランプ光等を用いる。

この様な第2実施例では、多結晶Si薄膜13を形成するために1200℃程度という高温のアニールを行っているので、リーク電流、サブスレッショルドスイング、移動度等の薄膜トランジスタの特性がよい。

照射された場合、多結晶Si膜15の影の部分はアニールされない。しかし、この第2実施例の様にランプ光22を用いると、基板11側からの熱の伝導もあるので、アニールが均一に行われる。

また、多結晶Si膜15や多結晶Si薄膜18を別の半導体膜で被覆した状態でアニールを行う場合、エキシマレーザ光21は単色光であるので被覆膜での干渉等による損失を受けるが、ランプ光22ではこの様な損失がない。

第4図は、第3実施例を示している。この第3実施例では、第4A図に示す様に、基板11上に8000Å程度の厚さの SiO_2 膜12を減圧CVDによって形成する。そして、 SiO_2 膜12上に形成した多結晶Si薄膜（図示せず）に Si^{+} 23を $1 \times 10^{15} \text{ cm}^{-2}$ 程度のドーズ量にイオン注入することによって、この多結晶Si薄膜を非晶質Si薄膜13にする。

次に、第4B図に示す様に、非晶質Si薄膜13上に3000Å程度の厚さの SiO_2 膜24を減圧CVDによって形成して、非晶質Si薄膜13を SiO_2

しかも、1200℃程度という高温のアニールはエキシマレーザ光21の照射によって行っており、エキシマレーザ光21は照射領域の主に表面近傍部分のみをアニールする。従って、下地に別の素子が形成されている場合でも、不純物の再分布や耐熱性の低い配線材料の劣化等の問題が少ない。

一方、ソース・ドレイン領域18aを形成するためのアニールは1000℃程度と比較的低温であるので、上述の様な下地への影響が元々少ない。

しかも、エキシマレーザ光21は部分照射しかされないが、ランプ光22は一括照射される。そして、ゲート電極である多結晶Si膜15がバタニングされた後のアニールはランプ光22の照射によって行っているため、合わせ精度やショット間のばらつき等の影響が少なく、スループットも高い。

また、多結晶Si膜15のバタニング後にエキシマレーザ光21の照射によるアニールを行うと、エキシマレーザ光21が多結晶Si膜15に斜めに

膜12、24によって上下から挟持する。なお、 SiO_2 膜12、24の代りに、 Si_3N_4 膜を減圧CVDによって形成してもよい。

次に、非晶質Si薄膜13で固相結晶成長を行わせるためのアニールを行って、第4C図に示す様に、非晶質Si薄膜13を多結晶Si薄膜18にする。その後、この多結晶Si薄膜18を活性層にして薄膜トランジスタを製造する。

この様な第3実施例では、減圧CVDによって形成された SiO_2 膜12、24によって非晶質Si薄膜13が上下から挟持されているので、固相結晶成長時の核の発生密度が高い。

このため、多結晶Si薄膜18の粒径が均一であり、短チャネルの薄膜トランジスタでも特性が均一である。しかも、アニール時間も少なくてもよい。また、 SiO_2 膜24の膜厚が薄く且つ汚染がなければ、この SiO_2 膜24をそのままゲート絶縁膜として使用することができる。

なお、多結晶Si薄膜18の粒径が均一になるに連れて、その粒径が小さくなり、移動度も低くな

る。しかし、多結晶Si薄膜18を形成するためのアニールの後に、更にエキシマレーザ光等による高温短時間アニールを行えば、 $40\text{ cal/V}\cdot\text{S}$ 程度の値は得ることができる。

第5図は、第4実施例を示している。この第4実施例では、第5A図に示す様に、 600°C 程度の温度のアニールによる固相結晶成長によって 400Å かまたは 800Å 程度の厚さの多結晶Si薄膜18を形成し、この多結晶Si薄膜18をアイランド状にパターニングする。

次に、多結晶Si薄膜18の結晶性を向上させるための 1200°C 、5秒間程度の高温短時間アニールを $\text{N}_2 + \text{O}_2$ または O_2 雰囲気中で行う。この結果、第5B図に示す様に、多結晶Si薄膜18の表面に熱酸化による SiO_2 膜25が形成される。

次に、第5C図に示す様に、CVDによって SiO_2 膜26を所望の厚さまで堆積させる。そして、 SiO_2 膜25、26をゲート絶縁膜とし、ゲート電極の形成以降の工程を行う。

この様な第5実施例によれば、平坦性はよくな

いが膜質がよい点で耐圧が高い SiO_2 膜25と、膜質はよくないが平坦性がよい点で耐圧が高い SiO_2 膜26との積層膜をゲート絶縁膜としているので、ゲート絶縁膜の耐圧が高い薄膜トランジスタを製造することができる。

〔発明の効果〕

本発明による薄膜トランジスタの製造方法では、ゲート電極のみをマスクにした不純物の導入を行っていないので、簡単な工程でLDD構造を実現することができる。

しかも、ゲート電極の直下への不純物の拡散を抑制することができるので、短チャネルトランジスタを製造することができる。

4. 図面の簡単な説明

第1図は本発明の一実施例を順次に示す側断面図、第2図は熱処理温度と不純物の拡散長との関係を示すグラフ、第3図～第5図は夫々第2～第4実施例を順次に示す側断面図である。

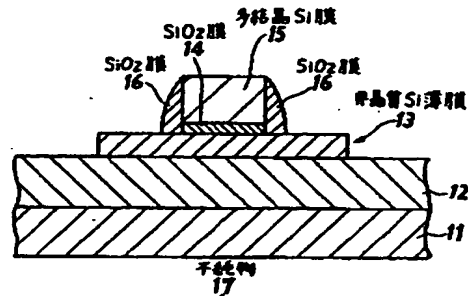
なお図面に用いられた符号において、

- 13 非晶質Si薄膜
- 14 SiO_2 膜
- 15 多結晶Si膜
- 16 SiO_2 膜
- 17 不純物

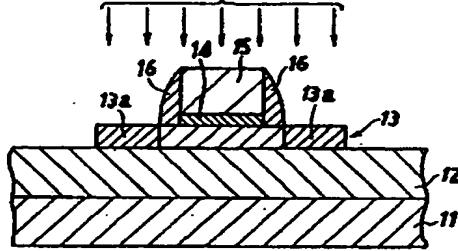
である。

代 理 人 土 屋 勝

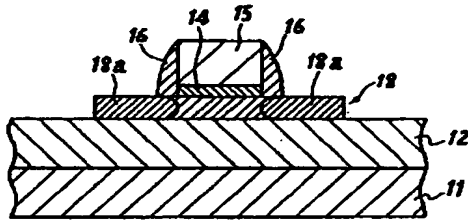
製造工程
第1A図



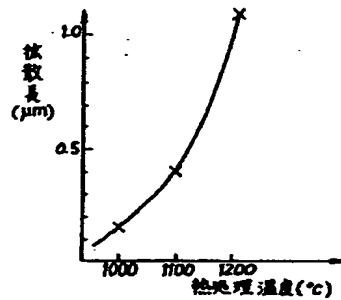
第1B図



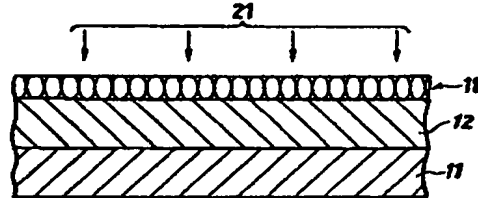
第1C図



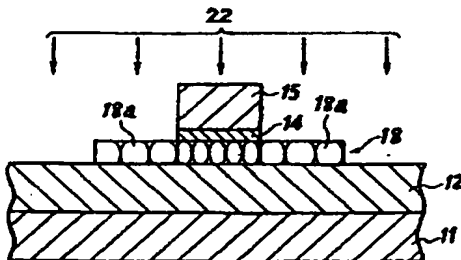
熱処理温度と
拡散長との関係
第2図



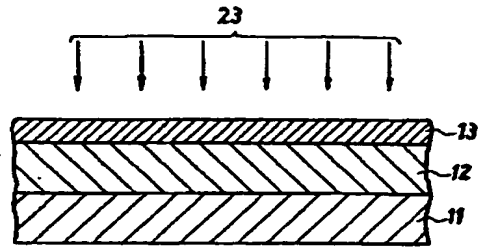
製造工程
第3A図



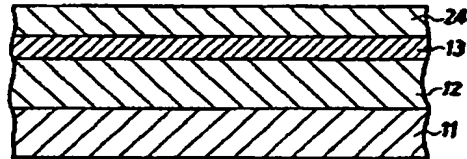
第3B図



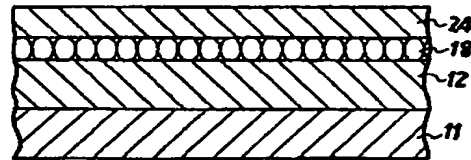
製造工程
第4A圖



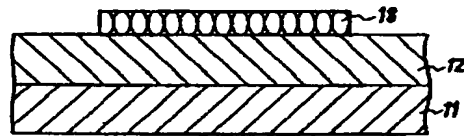
第4B圖



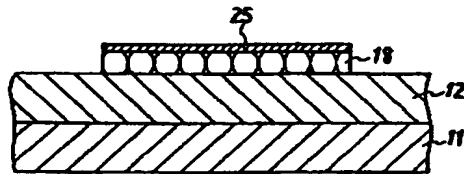
第4C圖



製造工程
第5A圖



第5B圖



第5C圖

